

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093066

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 27/146
H04N 5/335

(21)Application number : 08-245308

(71)Applicant :

TOSHIBA CORP

(22)Date of filing : 17.09.1996

(72)Inventor :

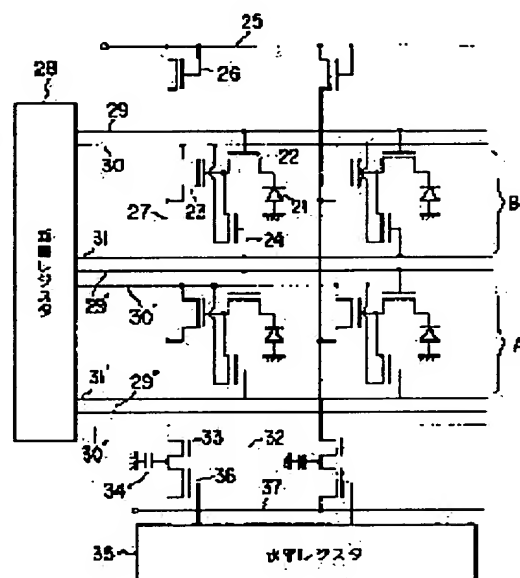
TANAKA NAGATAKA
YAMAGUCHI TETSUYA
IHARA HISANORI
IIIDA YOSHINORI
NOZAKI HIDETOSHI
MABUCHI KEIJI
OSAWA SHINJI

(54) SOLID-STATE IMAGING DEVICE AND DRIVING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device which can simplify a cell structure and have a large photodiode open area ratio by reducing the number of transistors used in the cells of the imaging device.

SOLUTION: A unit cell is made up of a photodiode 21, a read transistor 22, an amplifying transistor 23 and a reset transistor 24. A read transistor 26 connected to a source line 25 is connected to the amplifying transistor 23 through a signal line 27. A vertical register 27 has a read line 29 connected to a gate of the read transistor 22, a drain line 30 connected to drains of amplifying and reset transistors 23 and 24, and a reset address line 31 connected to a gate of the reset transistor 24. The signal line 27 is connected to a storage capacitor 34 through a sample/hold transistor 33. Signal charge causes a read pulse to be applied from a horizontal register 35 to the horizontal transistor 36 and then output to a signal output line 37.



LEGAL STATUS

[Date of request for examination]

07.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3579194

[Date of registration]

23.07.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-93066

(43)公開日 平成10年(1998) 4月10日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

E

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21)出願番号 特願平8-245308

(22)出願日 平成8年(1996) 9月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 長孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 山口 鉄也

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 井原 久典

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦 (外6名)

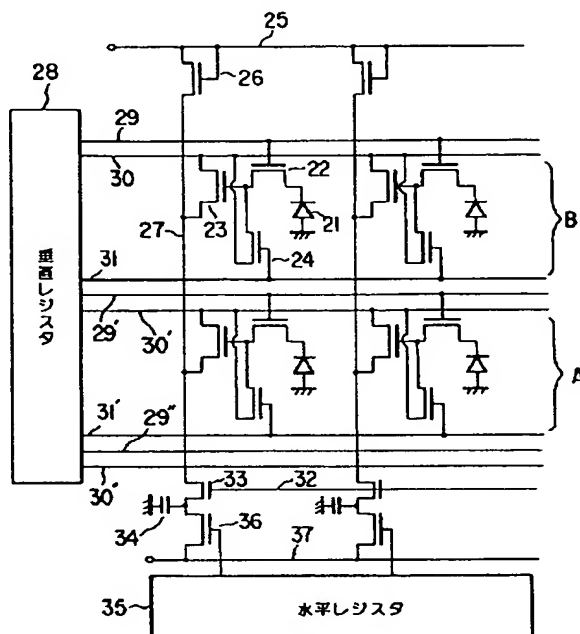
最終頁に続く

(54)【発明の名称】 固体撮像装置及びその駆動方法

(57)【要約】

【課題】固体撮像装置のセル内で使用するトランジスタ数を減らしてセル構成を簡単化し、フォトダイオードの開口率を大きく取ること。

【解決手段】フォトダイオード21、読出しトランジスタ22、増幅トランジスタ23、リセットトランジスタ24で単位セルを構成し、ソース線25に接続した読出しトランジスタ26を、信号線27を介して増幅トランジスタ23と接続する。垂直レジスタ28は、読出しトランジスタ22のゲートに接続した読出し線29と、増幅トランジスタ23とリセットトランジスタ24のドレインに接続したドレイン線30と、リセットトランジスタ24のゲートに接続したリセットアドレス線31を接続する。信号線27は、サンプル/ホールドトランジスタ33を介して、蓄積容量34と接続する。信号電荷は、水平レジスタ35から水平トランジスタ36に読出しパルスを印加して、信号出力線37へ出力する。



【特許請求の範囲】

【請求項1】 半導体基板上に少なくともフォトダイオード、リセットトランジスタ、増幅トランジスタ、信号電荷読出しトランジスタを有した単位セルを行列2次元状に配置してなる撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、選択された行に相当する上記フォトダイオードの検出信号を讀出す列方向に配置された複数の垂直信号線と、該垂直信号線から行方向に配置された水平信号線に検出信号を順次讀出す水平トランジスタを備えた固体撮像装置の駆動方法に於いて、上記単位セルを選択するのに、ある選択された行のみの全セルに於いて、リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタを動作点に設定して行うことを特徴とする固体撮像装置の駆動方法。

【請求項2】 上記単位セルを非選択するのに、ある選択された行のみの全セルに於いて、上記リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタをオフした状態にして行うことを特徴とする請求項1に記載の固体撮像装置の駆動方法。

【請求項3】 半導体基板上に行列2次元状に配列された複数の光電変換蓄積部と、上記複数の光電変換蓄積部の読出し行を選択する垂直選択手段と、選択された光電変換蓄積部の検出信号を讀出す列方向に配置された複数の垂直信号線と、上記光電変換蓄積部から讀出された検出信号を入力として上記垂直信号線に検出信号を出力する複数の出力回路と、上記光電変換蓄積部からの検出信号を上記出力回路に選択的に讀出す読出しMOS形トランジスタと、上記複数の垂直信号線から行方向に配置された水平信号線に検出信号を順次讀出すための水平選択手段とを備えた固体撮像装置に於いて、上記読出しトランジスタは、上記光電変換蓄積部側のチャネル幅が上記出力回路側のチャネル幅よりも狭く設定されていることを特徴とする固体撮像装置。

【請求項4】 光電変換を行う光電変換手段と、上記光電変換による信号電荷を蓄積する信号電荷蓄積手段と、蓄積された信号電荷をリセット、排出する排出手段と、上記蓄積した信号電荷により変調される増幅トランジスタと、該増幅トランジスタからの信号電流を讀出す読出し手段を備える型固体撮像装置に於いて、上記読出し手段を構成する第1の配線と上記排出手段を構成する第2の配線は、互いに重ねられて配置形成されていることを特徴とする固体撮像装置。

【請求項5】 上記第1の配線及び第2の配線は、上部に配線された配線の幅が下部に配線された配線の幅よりも大きくないことを特徴とする請求項4に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は増幅型MOSセンサを用いた固体撮像装置に係り、特にセル構成を簡単に

すると共に、高解像度を得ることが可能な固体撮像装置及びその駆動方法に関するものである。

【0002】

【従来の技術】近年、光電変換により発生した信号電荷で信号電荷蓄積部の電位を変調し、その電位により画素内部の増幅トランジスタを変調することで画素内部に増幅機能を持たせた固体撮像装置が開発されている。この装置は、増幅型固体撮像装置と称されるもので、画素数の増加やイメージサイズの縮小による画素サイズの縮小に適した固体撮像装置として期待されている。

【0003】図14は、従来の固体撮像装置の構成を示した図である。図14に於いて、単位セルはフォトダイオード1、読出しトランジスタ2、増幅トランジスタ3、リセットトランジスタ4、アドレストランジスタ5から成り、ソース線6に接続されたロードトランジスタ7は信号線8を通じて増幅トランジスタ3とソースフォロウ回路を構成している。増幅トランジスタ3とアドレストランジスタ5は、ソース/ドレイン(S/D)部9により接続されている。

【0004】垂直レジスタ10からは、アドレス線11、読出し線12、ドレイン線13、が配線されており、アドレス線11はアドレストランジスタのゲートに、読出し線12は読出しトランジスタ2のゲートに、そしてドレイン線13はアドレストランジスタ5とリセットトランジスタ4のドレインに接続されている。また、信号線8は、サンプル/ホールド線14が接続されたサンプル/ホールドトランジスタ(SHT_r)15を介して、蓄積容量16と接続される。信号電荷は、水平レジスタ17より水平トランジスタ18に読出しパルス

を印加することにより、信号出力線19へと出力される。

【0005】図15は、このような従来構造の固体撮像装置を駆動するときのタイミングチャートである。水平ブランキングHBLK内を t_1 、 t_2 に分割して説明する。先ず、選択されるアドレス線11'がハイ(Hi)レベルにされて(t_1)、読出し線12'がHiにされてリセットトランジスタ4と読出しトランジスタ2がオンされることにより、1ライン前の画素列Bがリセットされると同時に、現在選択されている画素列Aの信号が読出される(t_2)。

【0006】その後、サンプルホールド線14がオンされることで(t_3)、信号が蓄積容量16に蓄えられ。そして、信号有効期間中に水平レジスタ17より水平トランジスタ18に読出しパルスが印加されることにより、信号が信号出力線19に出力される。

【0007】図16は、読出しトランジスタ7、増幅トランジスタ3、アドレストランジスタ5を1断面に構成したセル部断面形状を示した図である。電荷はソース線6から注入され、読出しトランジスタ7、信号線8、増幅トランジスタ3を通り、更にS/D部9、アドレスト

ランジスタ5を通してドレイン線13へと排出される。尚、20は基板である。

【0008】

【発明が解決しようとする課題】図17は、図16の断面部の電位分布図で、(a)及び(b)はそれぞれセル選択時及び非選択時について示した図である。図17

(a)に示されるように、セルが選択されているときは、電荷はソース線6から注入され、読出しトランジスタ7、信号線8、増幅トランジスタ3を通り、更にS/D部9、アドレスタランジスタ5を通してドレイン線13へと排出される。このとき、増幅トランジスタ3には信号電圧が印加されるので、信号線8には、その電圧に応じた出力が出る。

【0009】一方、図17(b)に示されるように、セルが選択されていないときには、アドレスタランジスタ5がオフされているので、電荷はソース線6から注入され、読出しトランジスタ7、信号線8まで流れるが、ドレイン線13には流れず、信号線8、増幅トランジスタ3、S/D部9はフローティングになっている。このため、この部分の電位は、他の選択されたセルの信号電位により変化する。

【0010】このように、従来のセル構造ではアドレスタランジスタを使用していたために、フォトダイオードの開口率を大きく取れないという問題があった。したがってこの発明は上記実状に鑑みてなされたもので、セル内で使用するトランジスタ数を減らしてセル構成を単純化し、光電変換部の開口率を大きく取ることのできる固体撮像装置を提供することを目的とする。

【0011】

【課題を解決するための手段】すなわちこの発明は、半導体基板上に少なくともフォトダイオード、リセットトランジスタ、増幅トランジスタ、信号電荷読出しトランジスタを有した単位セルを行列2次元状に配置してなる撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、選択された行に相当する上記フォトダイオードの検出信号を読出す列方向に配置された複数の垂直信号線と、該垂直信号線から行方向に配置された水平信号線に検出信号を順次読出す水平トランジスタを備えた固体撮像装置の駆動方法に於いて、上記単位セルを選択するのに、ある選択された行のみの全セルに於いて、リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタを動作点に設定して行うことを特徴とする。

【0012】またこの発明は、半導体基板上に行列2次元状に配列された複数の光電変換蓄積部と、上記複数の光電変換蓄積部の読出し行を選択する垂直選択手段と、選択された光電変換蓄積部の検出信号を読出す列方向に配置された複数の垂直信号線と、上記光電変換蓄積部から読出された検出信号を入力として上記垂直信号線に検出信号を出力する複数の出力回路と、上記光電変換蓄積

部からの検出信号を上記出力回路に選択的に読出す読出しMOS形トランジスタと、上記複数の垂直信号線から行方向に配置された水平信号線に検出信号を順次読出すための水平選択手段とを備えた固体撮像装置に於いて、上記読出しトランジスタは、上記光電変換蓄積部側のチャンネル幅が上記出力回路側のチャンネル幅よりも狭く設定されていることを特徴とする。

【0013】更にこの発明は、光電変換を行う光電変換手段と、上記光電変換による信号電荷を蓄積する信号電荷蓄積手段と、蓄積された信号電荷をリセット、排出する排出手段と、上記蓄積した信号電荷により変調される増幅トランジスタと、該増幅トランジスタからの信号電流を読出す読出し手段を備える型固体撮像装置に於いて、上記読出し手段を構成する第1の配線と上記排出手段を構成する第2の配線は、互いに重ねられて配置形成されていることを特徴とする。

【0014】この発明の固体撮像装置の駆動方法にあっては、セルの選択、非選択がリセットトランジスタを介して行われる。また、この発明によれば、読出しトランジスタのチャンネル幅が、フォトダイオード側よりも増幅回路側の方が大きいので、ナローチャンネル効果の結果、読出しトランジスタのゲート下のチャンネルポテンシャルは増幅回路側の方が高くなる。したがって、読出しトランジスタのチャンネルを通過する信号電荷は、このポテンシャル差によっても移動するので、拡散のみによって流れる場合よりも読出し時間が短くなる。

【0015】更にこの発明にあっては、信号電流の読出し用の配線と信号電荷の排出用の配線のうち、1本分の配線幅でしかフォトダイオードの開口率を制限しなくなるので、従来よりもフォトダイオードの開口率を大きくすることが可能である。また、同様の積層型撮像素子においては、素子を微細化しても、ドレイン線と信号線を配線できるようにする。

【0016】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は、この発明の第1の実施の形態に於ける固体撮像装置の構成を示した図である。

【0017】図1に於いて、単位セルは、フォトダイオード21、読出しトランジスタ22、増幅トランジスタ23、リセットトランジスタ24から成っており、ソース線25に接続された読出しトランジスタ26は、信号線27を通じて増幅トランジスタ23とソースフォロ回路を構成している。

【0018】垂直レジスタ28からは、読出し線29、ドレイン線30、リセットアドレス線31が配線されており、読出し線29は読出しトランジスタ22のゲートに、ドレイン線30は増幅トランジスタ23とリセットトランジスタ24のドレインに、そしてリセットアドレス線31はリセットトランジスタ24のゲートに接続されている。また、信号線27は、サンプル/ホールド線

32に接続されたサンプル/ホールドトランジスタ(SHT_r)33を介して、蓄積容量34と接続される。信号電荷は、水平レジスタ35より水平トランジスタ36に読出しパルスが印加されることにより、信号出力線37へと出力される。

【0019】次に、図2に示されるタイミングチャートを参照して、第1の実施の形態に於けるデバイスを駆動するときの動作を説明する。水平ブランキングHBLK内を t_{11} ～ t_{12} に分割する。まず、選択する画素列Aのドレイン線30'がHiにされ(t_{11})、その後リセットアドレス線31'がオフされる(t_{12})。そして、読出し線29'がHiにされる(t_{13})。このとき、選択されていない画素列Bは、リセットアドレス線31がHiにされてドレイン線30がロー(Low)レベルにされている。

【0020】その後、サンプル/ホールド線32がオンされることで(t_{14})、信号が蓄積容量34に蓄えられる。そして、信号有効期間中に水平レジスタ35から水平トランジスタ36に読出しパルスが印加されることにより、信号が信号出力線37へと出力される。

【0021】図3は、読出しトランジスタ26、増幅トランジスタ23を1断面に構成したセル部断面形状を示した図である。電荷は、ソース線25より注入され、読出しトランジスタ26、信号線27、増幅トランジスタ23を通り、ドレイン線30へと排出される。

【0022】図4は、図3の断面部の電位分布図で、(a)及び(b)はそれぞれセル選択時及び非選択時について示した図である。図4(a)に示されるように、セルが選択されているときは、電荷はソース線25より注入され、読出しトランジスタ26、信号線27、増幅トランジスタ23を通してドレイン線30へと排出される。このとき、増幅トランジスタ23には信号電圧が印加されるので、信号線27には、その電圧に応じた出力が出る。

【0023】一方、図4(b)に示されるように、セルが選択されていないときには、増幅トランジスタ23がオフされているので、電荷はソース線25より注入され、読出しトランジスタ26、信号線27まで流れるが、ドレイン線30には流れず、信号線27はフローティングになっている。このため、この部分の電位は、他の選択されたセルの信号電位により変化する。

【0024】このように、第1の実施の形態によれば、セル内にアドレスタランジスタが不要になるので、開口率を大きく取ることが可能になる。ここで、基本的な固体撮像装置のパターン例を図5に示す、また、図6は、図5に示された固体撮像装置の単位セルの回路構成図である。

【0025】図6に於いて、信号電荷は、フォトダイオード40から読出しトランジスタ41を経て増幅トランジスタ42のゲートに読出され、垂直選択信号Yによ

て垂直選択トランジスタ43が選択されたとき、増幅された信号が読出される。フォトダイオード40から読出された信号電荷は、次のフィールドの信号電荷が読出される前に、充放電トランジスタ44を経てドレインに捨てられる。

【0026】このことを、図5に示される平面パターンを用いて説明すると以下のようになる。すなわち、垂直シフトレジスタから水平方向に配線されている水平アドレス線45は、垂直選択トランジスタ43のゲートに接続され、信号を読出すラインを選択する。同様に、垂直シフトレジスタから水平方向に配線されるリセット線46、読出し線47は、それぞれリセットトランジスタ44のゲート、読出しトランジスタ41のゲートに接続されている。増幅トランジスタ42のドレインは、垂直方向に配置された垂直信号線に層間コンタクト48を経て接続されている。

【0027】上記フォトダイオード40に蓄積された信号電荷は、読出しトランジスタ41がオンされるとドレインに読出される。このドレインは、層間コンタクト49を経て増幅トランジスタ42のゲート50に電氣的に接続されているので、ゲート50の電位が変化する。垂直選択トランジスタ43がオンされると、増幅された信号は層間コンタクト48を経て、垂直信号線に読出される。

【0028】また、フォトダイオード40から読出された増幅トランジスタ42のゲートを変調している信号電荷は、次のフィールドの信号電荷が読出される前に、充放電トランジスタ44を経てドレインに捨てられる。充放電トランジスタ44のドレインは、隣接する単位セルの増幅トランジスタのドレインと共通になっており、層間コンタクト51を経て電源線に繋がっている。

【0029】尚、図5では簡単のために、素子形成領域とゲートポリシリコンと層間コンタクトのパターンのみを示しているが、実際には第2層ポリシリコンやアルミ配線も存在している。

【0030】このとき、読出しトランジスタ41のチャネル幅を見ると、フォトダイオード40側のチャネル幅もドレイン側のチャネル幅も同じになっている。このように、基本的な固体撮像装置では、フォトダイオードと増幅回路の間のMOS形読出しトランジスタに関して、読出しトランジスタのチャネルポテンシャルがチャネル方向に渡って一定であった。このため、チャネル内を走行する信号電荷は拡散のみで移動し、読出しが終了するまでに時間がかかっており、これが素子の多画素化を妨げる要因の1つとなっていた。そこで、読出しトランジスタを用いたフォトダイオードからの信号電荷の読出し時間を短くするために、読出しトランジスタのチャネル幅について、フォトダイオード側よりも増幅回路側の方を大きくすることが考えられる。

【0031】図7は、この発明の第2の実施の形態に係

る固体撮像装置の平面図である。この図7に示される固体撮像装置の単位セルの構成図は図6と同様であるので、ここでは説明を省略する。

【0032】図7に於いて、垂直シフトレジスタから水平方向に配線されている水平アドレス線45は、垂直選択トランジスタ43のゲートに接続され、信号を讀出するラインを選択する。同様に、垂直シフトレジスタから水平方向に配線されるリセット線46、讀出し線47は、それぞれリセットトランジスタ44のゲート、讀出しトランジスタ41'のゲートに接続されている。増幅トランジスタ42のドレインは、垂直方向に配置された垂直信号線に層間コンタクト48を経て接続されている。

【0033】フォトダイオード40に蓄積された信号電荷は、讀出しトランジスタ41'がオンされるとドレインに讀出される。このドレインは、層間コンタクト49を経て増幅トランジスタ42のゲート50に電氣的に接続されているので、ゲート50の電位が変化する。

【0034】また、垂直選択トランジスタ43がオンされると、増幅された信号は層間コンタクト49を経て垂直信号線に讀出される。フォトダイオード40から讀出された増幅トランジスタ42のゲート50を交調している信号電荷は、次のフィールドの信号電荷が讀出される前に、充放電トランジスタ44を経てドレインに捨てられる。

【0035】充放電トランジスタ44のドレインは、隣接する単位セルの増幅トランジスタ42のドレインと共通になっており、層間コンタクト51を経て電源線に繋がっている。尚、図7では簡単のために、素子形成領域とゲートポリシリコンと層間コンタクトのパターンのみを示しているが、実際には第2層ポリシリコンやアルミ配線も存在している。

【0036】このとき、讀出しトランジスタ41'のチャンネル幅を見ると、フォトダイオード40側のチャンネル幅よりも、ドレイン側のチャンネル幅の方が広く形成されている。

【0037】図8は、第2の実施の形態の効果を簡単に説明するもので、(a)は讀出しトランジスタ41'のパターンを示す平面図、(b)は同図(a)I-I線に沿った断面図、(c)はそのチャンネルポテンシャルを表わす図である。

【0038】図8(a)及び(b)に於いて、フォトダイオード40がソース、第1層ポリシリコンがゲート電極53となっている。フォトダイオード40で生じた信号電荷は、トランジスタのオンと共にドレイン54に讀出される。尚、55は讀出しトランジスタのドレインと図示されない上層の配線とを接続するコンタクトであり、56はP型基板、57はN型不純物拡散層、58はゲート酸化膜、そして59はLOCOS領域である。

【0039】図8(c)に於いて、ゲート電極53の下方では、IからI'方向に行くに従ってチャンネル幅が広

くなっている($W_1 < W_2$)。それ故、ナローチャンネル効果によりチャンネルポテンシャルが低くなる(図8

(c)では上方になる)。この結果、チャンネルを通過する信号電荷は、ポテンシャル差によってもドレイン方向に加速を受けることになる。したがって、拡散のみで流れる従来例と比較して、讀出し時間を短くすることが可能となる。

【0040】このように、第2の実施の形態によれば、讀出しトランジスタのチャンネル幅が、フォトダイオード側よりも増幅回路側の方が大きいので、ナローチャンネル効果の結果、讀出しトランジスタのゲート下のチャンネルポテンシャルは増幅回路側の方が高くなる。したがって、讀出しトランジスタのチャンネルを通過する信号電荷はこのポテンシャル差によっても移動するので、拡散のみによって流れる場合よりも、讀出し時間が短くなる。

【0041】ところで、フォトダイオードの開口率を大きくするために、信号線とドレイン線の配線を重ねて構成しても良い。すなわち、増幅型固体撮像装置に於ける画素の基本構成は、フォトダイオード、リセットトランジスタ、増幅トランジスタ、ライン選択トランジスタ、或いは容量結合、そしてフォトダイオードと増幅トランジスタゲートとを接続する配線である。

【0042】また、光電変換した信号電荷を一時蓄積する場合には、フォトダイオードとは異なる領域に蓄積ダイオードを設け、フォトダイオードと蓄積ダイオードとの間に転送ゲートを設けている。

【0043】更に、増幅トランジスタで増幅された信号を讀出するための信号線と、信号電荷をリセット、排出するためのドレイン線が、それぞれ配線されている。通常、信号線とドレイン線は、それぞれ、独立に2本配線されている。

【0044】素子を微細化して、光電変換部をトランジスタや信号線、ドレイン線の上に蓄積した構造の固体撮像素子に於いては、画素電極と蓄積部との電氣的導通を得るために、信号線を形成する層とドレイン線を形成する層とを、同じ層で金属のキャップを形成しなければならない。このため、信号線、ドレイン線を形成するとき、上記金属キャップと電氣的に接触しないようにするという制約がある。

【0045】このような増幅型固体撮像装置では、信号線とドレイン線の配線を独立に配線していた。しかしながら、上記配線を独立した構造では、素子の微細化を行うにあたり、信号線とドレイン線の2本の配線によりフォトダイオード部の開口率を制限してしまう。

【0046】また、光電変換部を最上部に積層した構造の撮像装置では、信号線とドレイン線を重ねないよう独立に配線するだけのスペースが無くなるという問題がある。つまり、微細な素子を形成するとき、信号線とドレイン線を重ねないで配線することが不可能になる。

【0047】このため、以下に述べる実施の形態では、

信号線とドレイン線を重ねた構成によりフォトダイオードの開口率を大きくした例を説明する。図9は、この発明の第3の実施の形態を示すもので、増幅型固体撮像素子の1画素分について、増幅された信号電流を読み出すための配線（信号線）と信号電荷を排出するための配線（ドレイン線）の配置構成を示した図である。また、図10は、図9の増幅型固体撮像素子の配線配置についての半面配置を示した図である。更に、図11はこの増幅型固体撮像素子の等価回路図である。

【0048】この増幅型固体撮像素子に於いて、p型シリコン半導体基板61の表面層に、p⁺層（素子分離領域）62、p⁺層（フォトダイオード）63が形成される。このフォトダイオード63では、信号電荷が発生される。そして、フォトダイオード63と電気的接触のためのコンタクトホールが形成された後、フォトダイオード63と増幅トランジスタ64のゲートと電気的接触を得るように形成される。このとき、増幅トランジスタ64及び信号電荷を排出するためのリセットトランジスタ65が形成される領域にn層が形成される。

【0049】そして、ソース、ドレインが形成され、電気的接触を有するためのコンタクトホールが形成される。その後、トランジスタのゲートを形成するためにポリシリコンが堆積され、所望の形状に加工されて増幅トランジスタ64とリセットトランジスタ65が形成される。更に、信号電荷を蓄積するために、ポリシリコンとSiO₂/SiN/SiO₂（絶縁層）により、キャパシタ66が形成される。

【0050】このようにして、増幅型固体撮像素子の素子部分が形成される。次いで、増幅型固体撮像素子の素子部分が形成された後、信号電流を読み出すための配線である信号線67と、信号電荷を排出するための配線であるドレイン線68とが配線される。このとき、ドレイン線68が形成されるため、例えばアルミニウム（Al）薄膜がスパッタリングにより形成される。そして、バターニング、RIE（反応性イオンエッチング）法等により、所望の形状に加工されてドレイン線68が形成される。

【0051】次に、シリコン酸化膜69が積層される。このシリコン酸化膜69は、絶縁層としてドレイン線68を保護し、また、他の部分との電気的な接触を防ぐ役割を担うものである。そして、信号線67が形成されるために、例えばAl薄膜がスパッタリング法等により堆積される。この後、先に形成されたドレイン線68に重なるようにレジストがバターニングされ、RIE法により信号線67が加工される。

【0052】これにより、図10に示されるように、信号線67がドレイン線68の上部に重なるように形成される。尚、70はアドレス線であり、71はリセット線である。

【0053】また、レジストのバターニングを行う際、

信号線67の幅がドレイン線68の幅よりも小さくなるようにバターニングすることも好ましい。この理由は、信号線67を覆っているレジストをバターニングする際、合わせずれに起因して信号線67がドレイン線68の外側にはみ出し、段差を生じて、電気的な導通不良を起こすことを無くすることができるからである。

【0054】このように、図9に示されるように、信号電流を読み出すための配線（信号線67）と、信号電荷を排出するための配線（ドレイン線68）の2本を重ねる構造に配設することにより、フォトダイオード63の開口率を制限する配線幅を1本分の幅とすることができ、この結果、フォトダイオード68の開口率を向上させることができるので、高感度化することができる。

【0055】尚、上述した第3の実施の形態では、配線材料としてAl（アルミニウム）を用いているが、その他、例えばタングステン（W）、モリブデン（Mo）、チタン（Ti）等の金属、或いは該金属を少なくとも1種類以上含む金属合金、シリサイド化合物を初めとする化合物を用いることもできる。

【0056】次に、この発明の第4の実施の形態について説明する。図12及び図13は、光電交換部を積層した構造の増幅型固体撮像素子について示したもので、図12は増幅型固体撮像素子の1画素分についての信号線とドレイン線の配置構成を示した図、図13は図12の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【0057】上述した第3の実施の形態と同様に、先ず素子部分から形成される。尚、このとき、第3の実施の形態の光電交換部となる部分でも一部電荷を蓄積することができる。

【0058】そして、信号電荷を蓄積部73に運ぶために、絶縁層74にRIE等を用いて公が形成され、タングステンCVD等により金属の柱（プラグ）75が形成される。この後、スパッタリング法等により、Al（アルミニウム）膜が、例えば400nm堆積されて、レジストのバターニング、RIE等によって所望の形状に形成される。これにより、ドレイン線76と金属キャップ77が同時に形成される。

【0059】この後、シリコン酸化膜74が堆積され、再度、レジストのバターニング、RIE、金属膜の堆積等が繰返されて、金属プラグ78上に信号線79及び金属キャップ80が形成される。このとき、信号線79と同層で金属キャップ80が形成されるので、信号線79と金属キャップ80が電気的に接触しないようにしなければならない。このため、信号線79と金属キャップ80の間には、0.6μm以上の間隔を保って電気的に接触する危険性を避けるようにする。

【0060】このため、図12からも分かるように、信号線79は、ドレイン線76の上に重ならないように配線することはできない。つまり、信号線79とドレイン

線76は、重ねられた構造にしなければならない。

【0061】信号線まで形成された後は、再度シリコン酸化膜74が堆積され、RIEによる加工、金属膜の堆積加工が行われて金属プラグ81が形成される。この後、例えば、Ti等の金属が堆積され、RIE等による形状加工が行われて画素電極82が形成される。

【0062】最後に、光電変換層83として、例えばアモルファスSi膜が堆積され、光電変換層83上、すなわち最上部に、例えばITO等で構成される透明電極84が堆積される。

【0063】尚、85は増幅トランジスタ、86はアドレス線であり、87はリセット線である。このように、第4の実施の形態によれば、光電変換部を信号線、ドレイン線等の配線よりも上方に配設したので、開口率を制限されることはない。

【0064】

【発明の効果】以上のようにこの発明によれば、セル内で使用するトランジスタ数を減らしてセル構成を単純化し、光電変換部の開口率を大きく取ることのできる固体撮像装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に於ける固体撮像装置の構成を示した図である。

【図2】第1の実施の形態に於けるデバイスを駆動するときの動作を説明するタイミングチャートである。

【図3】読出しトランジスタ26、増幅トランジスタ23を1断面に構成したセル部断面形状を示した図である。

【図4】図3の断面部の電位分布図で、(a)及び(b)はそれぞれセル選択時及び非選択時について示した図である。

【図5】基本的な固体撮像装置のパターン例を示した図である。

【図6】図5に示された固体撮像装置の単位セルの回路構成図である。

【図7】この発明の第2の実施の形態に係る固体撮像装置の平面図である。

【図8】第2の実施の形態の効果を簡単に説明するもので、(a)は読出しトランジスタ41'のパターンを示す平面図、(b)は同図(a)I-I線に沿った断面図、(c)はそのチャネルポテンシャルを表わす図である。

【図9】この発明の第3の実施の形態を示すもので、増幅型固体撮像素子の1画素分について、増幅された信号電流を読出すための配線(信号線)と信号電荷を排出するための配線(ドレイン線)の配置構成を示した図であ

る。

【図10】図9の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【図11】この増幅型固体撮像素子の等価回路図である。

【図12】光電変換部を積層した構造の増幅型固体撮像素子の1画素分についての信号線とドレイン線の配置構成を示した図である。

【図13】光電変換部を積層した構造の増幅型固体撮像素子について示したもので、図12の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【図14】従来の固体撮像装置の構成を示した図である。

【図15】従来構造の固体撮像装置を駆動するときのタイミングチャートである。

【図16】読出しトランジスタ7、増幅トランジスタ3、アドレストランジスタ5を1断面に構成したセル部断面形状を示した図である。

【図17】図16の断面部の電位分布図で、(a)及び(b)はそれぞれセル選択時及び非選択時について示した図である。

【符号の説明】

21、40 フォトダイオード、

22 読出しトランジスタ、

23、42 増幅トランジスタ、

24 リセットトランジスタ、

25 ソース線、

26、41、41' 読出しトランジスタ、

27 信号線、

28 垂直レジスタ、

29、47 読出し線、

30 ドレイン線、

31 リセットアドレス線、

32 サンプル/ホールド線、

33 サンプル/ホールドトランジスタ、

34 蓄積容量、

35 水平レジスタ、

36 水平トランジスタ、

37 信号出力線、

40 43 垂直選択トランジスタ、

44 充放電トランジスタ、

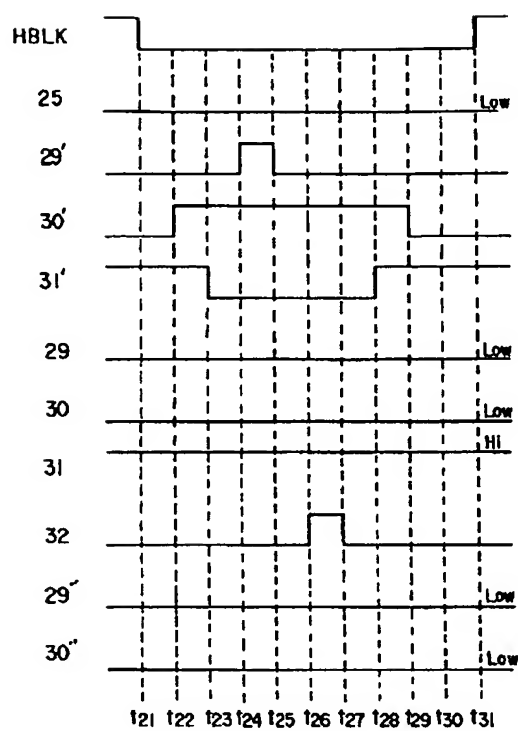
45 水平アドレス線、

46 リセット線、

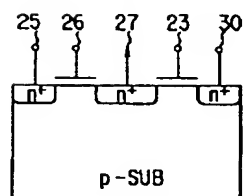
48、49、51 層間コンタクト、

50 ゲート。

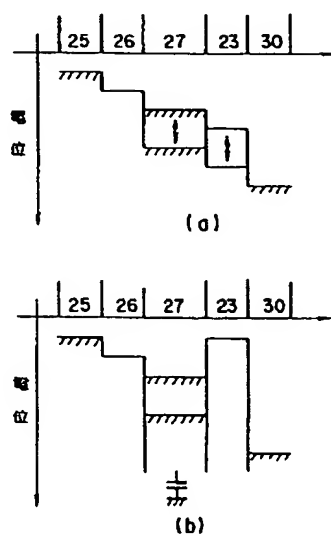
【圖2】



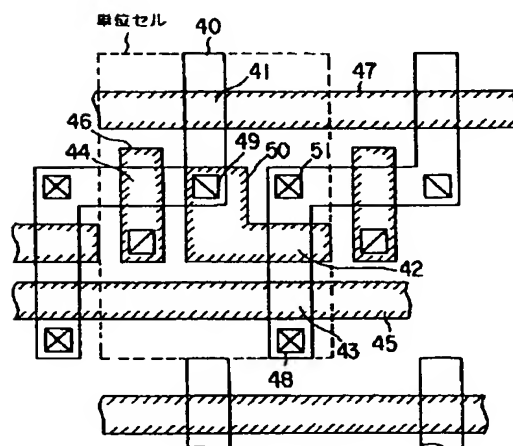
【圖 3】



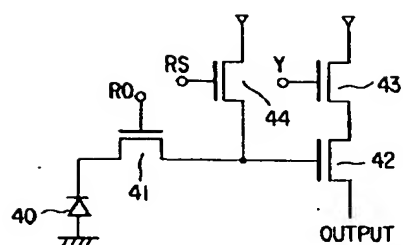
【图4】



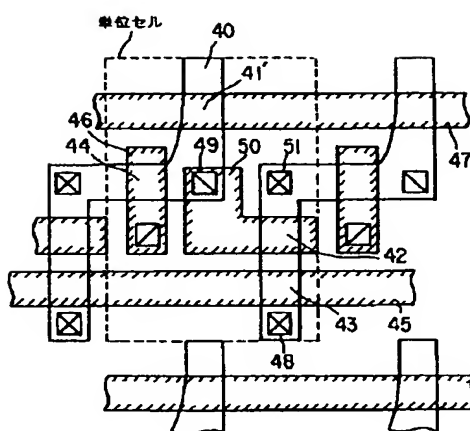
【図5】



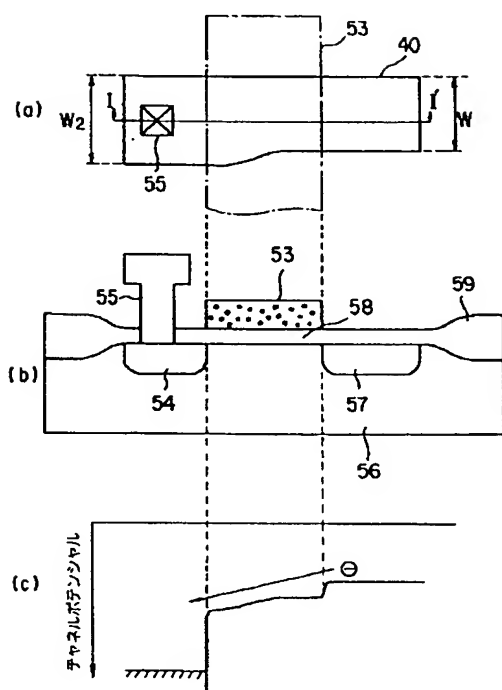
【図6】



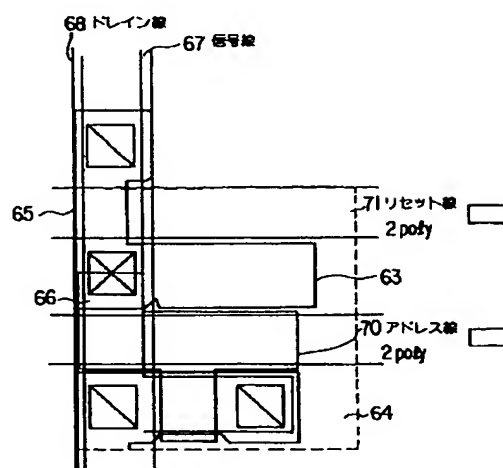
【図7】



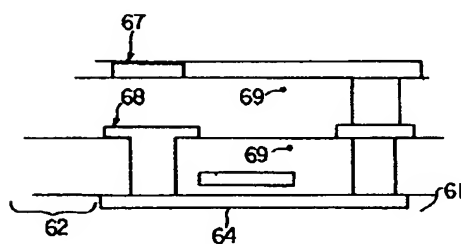
【図8】



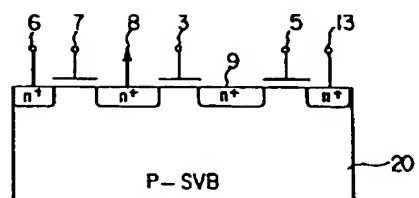
【図9】



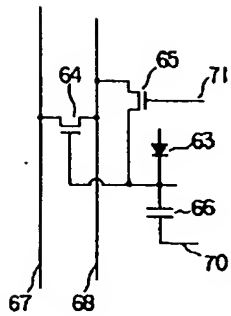
【図10】



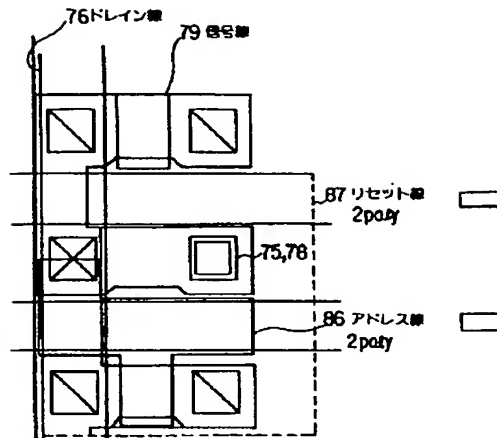
【図16】



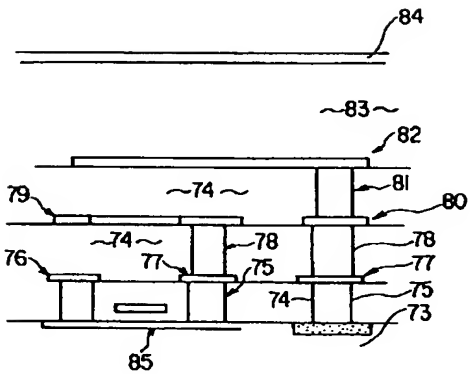
【図11】



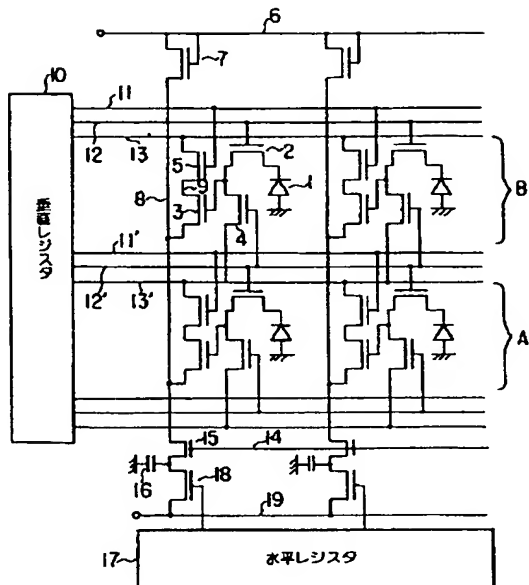
【図12】



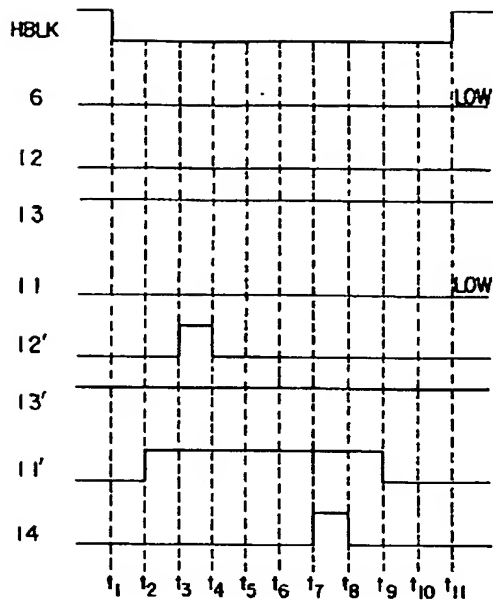
【図13】



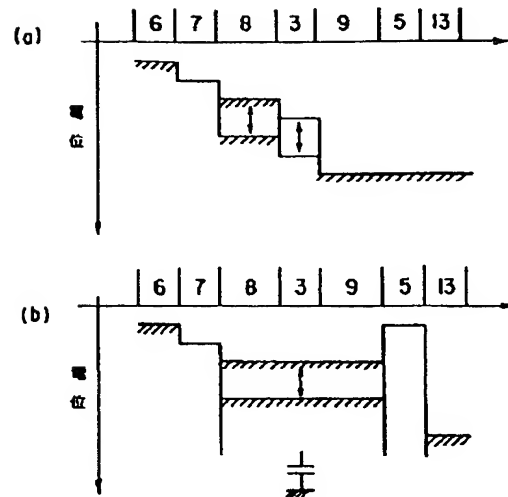
【図14】



【図15】



【図17】



フロントページの続き

(72)発明者 飯田 義典
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内
 (72)発明者 野崎 秀俊
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内

(72)発明者 馬淵 圭司
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内
 (72)発明者 大澤 慎治
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内